

**近现代物理学史 期末作业**

**题 目： STT-MRAM存储器故障模型和可测性设计综述**

**姓 名： 刘炼**

**学 号: 202128013229021**

**导 师： 李华伟**

**单 位: 计算技术研究所**

**2022年 1月 8日**

**摘 要**

基于自旋转移矩的磁性随机存储器(Spin Transfer Torque Magnetic Random Access Memory, STT-MRAM) 是一种具有高密度、可无限擦写和快速写入等优点的新型非易失性存储器(Non-voliate Memory, NVM)，拥有广泛的应用前景。然而，在应用到实际的生产过程之前，对于STT-MRAM，还需要具备一个高质量的充分的测试方法来有效降低生产中的故障率。在本文中，我们回顾了一些现有的STT-MRAM 的故障模型，以及相应的可测性设计和测试算法。 通过对现有的测试算法进行总结，可以清晰地认识到，现有的测试方法还无法真正满足商用的需求，因此，对于STT-MRAM存储器的可测性设计仍然需要得到进一步的探索。

**关键词： 非易失性存储器；故障模型；可测性设计；测试算法**

**Abstract**

Spin Transfer Torque Magnetic Random Access Memory STT-MRAM (STT-MRAM) is a new type of Non-Voliate Memory (NVM) with high density, unlimited erasable and fast writing, and has a wide application prospect. However, a high quality and adequate testing method is required for STT-MRAM to effectively reduce the failure rate in production before it can be applied to the actual production process. In this paper, we review some of the existing STT-MRAM fault models and the corresponding testability design and testing algorithms. By summarizing the existing test algorithms, it can be clearly recognized that the existing test methods can not really meet the needs of commercial, therefore, the testability design of STT-MRAM memory still needs to be further explored.

**Keywords: Non-Voliate Memory**; **Fault Models; Testability Design**.

**第1章 引言**

随着半导体行业中技术的更新迭代，像SRAM，DRAM 以及 Flash 这类存储单元变得更便宜且更快，并且拥有了更高的密度。然而，随着现有的存储技术接近极限，它们变得越来越耗电，可靠性越来越低，而制造成本也因制造复杂性的增加而变得更加昂贵。因此，非易失性存储作为一种新型的存储技术，已经获得了广泛的关注与重视[1,2]。 其中，基于自旋转移矩的磁性随机存储器 (STT-MRAM) 在短期内被视作是有望在最后一级缓存 (Last-Level Caches, LLCs) 替换SRAM的存储器，并长期作为一种主要的存储设备[3]。相较于SRAM 和 DRAM，其主要的特点包括非易失性和超低的泄露功率；除此之外，STT-MRAM 能拥有和DRAM 几乎相同的集成密度 ()[4]，且几乎可以视作无限擦写 (个周期)[5]。 由于具有上述的多种优点，像英特尔和三星之类的厂商已经开始推出了他们基于STT-MRAM的存储器设备[6,7]。

在实际的大规模生产过程中，生产厂商需要通过生产测试来排除有故障的芯片，以提高产率和保持其本身的声誉。然而，STT-MRAM作为一种新型的非易失性存储设备，相较于传统的内存测试与诊断，有一定的不同之处。因此，在实际生产过程中，需要有一套经济有效的测试方案，以保证STT-MRAM 大规模生产中的良率。对于生产厂商而言，STT-MRAM 的生产不仅要经过标准的CMOS生成流程，还包括了MTJ (Magnetic Tunnel Junction) 设备的集成，而后者会造成新的故障 （例如，磁性耦合、STT开关特性转化等）。 这些故障机制，同样也会影响到故障模型和最终的测试结果。 因此，本文通过总结现有的STT-MRAM 故障模型和测试算法，与可测性设计技术，来全面的展示对于STT-MRAM存储器的测试技术的发展与仍待解决的问题。总体而言，现存的对于STT-MRAMs的测试方法，具体实际的生产过程仍有较大的差距，为了实现一个高质量的测试，仍然需要更多关于错误机制，故障模型以及测试算法设计方面的工作需要探索。

本篇论文剩余部分的组织结构如下：在第2章中，本文基于STT-MRAM的故障，讨论了现有的故障模型；在第3章和第4章这两章中，本文分别讨论了针对于STT-MRAM 的故障机制和模型的测试算法与可测性设计；在第5章中，本文对现有的STT-MRAM 测试的研究进行了总结和展望。

**第2章 故障模型**

在实际生产过程中，利用物理和人工方式直接去检测故障的成本都是及其昂贵的。因此，对于内存故障的测试，一种通常使用的方法，也是更加经济高效的方法，就是从功能的角度来描述和检测对应的故障。因此，需要相应的故障模型来从功能的角度对STT-MRAM的物理故障进行准确的表示。STT-MRAM的故障模型包括了传统内存故障模型和针对于STT-MRAM的特定故障模型。在本文中将从永久性故障和瞬态故障两个方面来介绍STT-MRAM单元阵列的故障模型，其中瞬态故障主要是由于STT-MRAM的特定失效机制如STT随机切换特性和热扰动所引起的。

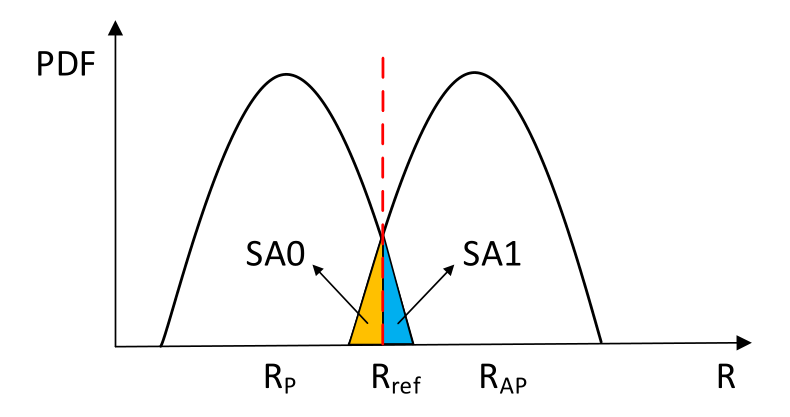


图1：由于MTJ设备中的极端变化导致SAF故障发生的示意图。

2.1永久性故障

2.1.1 Stuck at Fault(SAF)

这种故障主要是指不论写入什么，一个内存单元总是保持逻辑值为0 (SA0) 或者为1 (SA1)。 一般而言，我们用 和 来分别表示相应的故障。通常这些SAFs是由物理上的缺陷所导致的，例如，作者在[8]中提出，STT-MRAM单元阵列中的一些电阻性短路或桥(即某些物理缺陷的电等效物)会导致SAFs。除此之外，工艺变化往往会使关键的MTJ和晶体管参数偏离其标称值，导致在极端情况下产生SAFs[9]。在[10]中，作者观察到MTJ隧道势垒在0.86 ~ 1.07nm之间有不同的厚度排列，而由于MTJ抗性与隧道屏障厚度呈指数关系，的微小变化会导致抗性的巨大差异，从而导致SAF的发生（如图1所示）。

2.1.2 Transition Fault (TF)

这一类的故障主要指的是来进行上升 ()和下降())跳转的时候，内存单元所发生的故障，其主要包含TF0 和 TF1 两种不同的故障，一般将其表示为 和 。TF 故障主要是由于工艺缺陷和数值的极端变化所引起的。如图2a中，在MTJ设备中，往往会由于缺乏足够的电流实现穿透而导致TF故障[8]。另外，字线的电阻式开启限制了位单元中接入NMOS的电流驱动能力，也会导致TFs的产生。

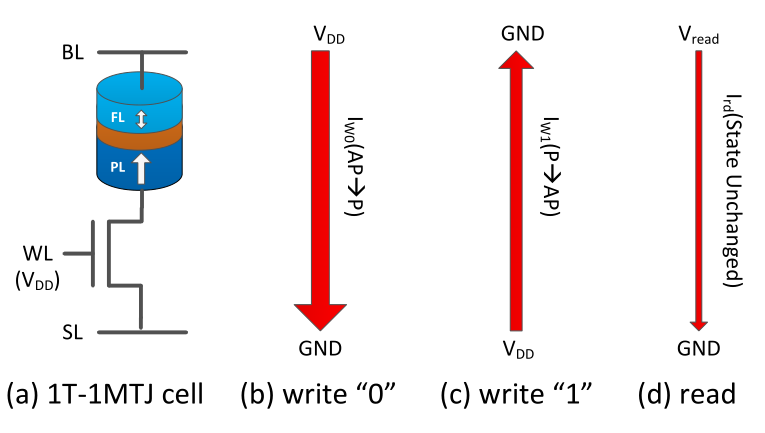
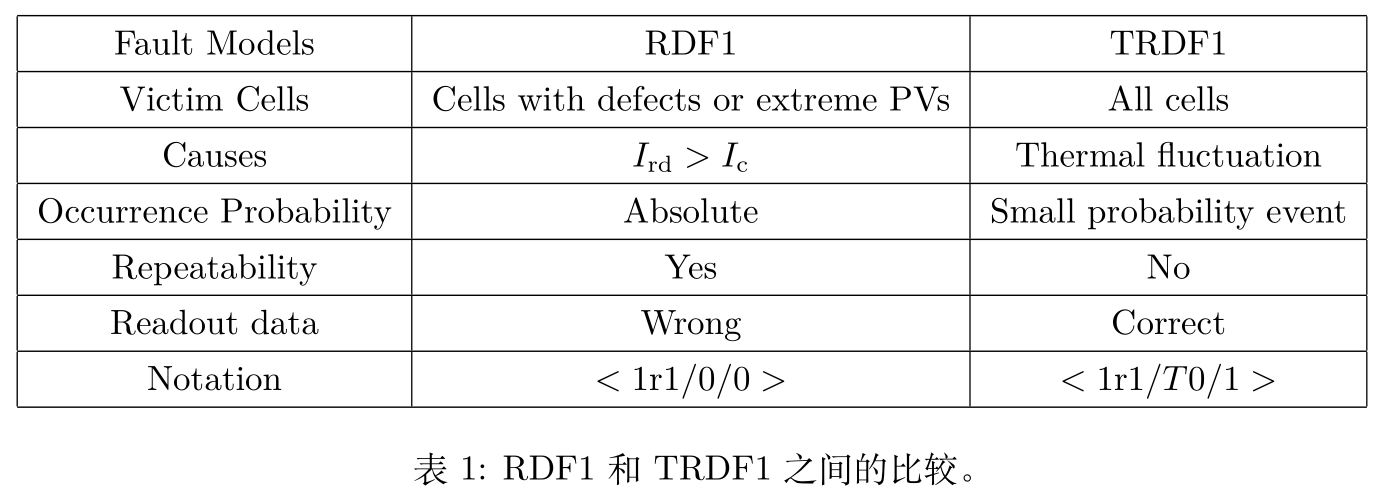


图2： 在MTJ内存单元中的读写操作示意图。

2.1.3 Read Destructive Fault (RDF)

这类故障主要是指在读操作期间，内存单元产生了变化。在STT-MRAM中，只可能产生的故障是RDF1故障，可以用 来表示，这主要是因为STT-MRAM 中读操作具有单向特性（如图2d所示）。由于和在MTJ 的内存单元中共享同一条通路，读电流可能表现为弱写电流，因此在存在一些电阻性缺陷时，会导致FL中出现意外的磁化翻转[8]。除了工艺上的缺陷之外，在实际的物理特性变化过程中，也同样会导致RDF1故障的发生[11,12,13]。



2.1.4 Incorrect Read Fault (IRF)

此故障指的是寻址单元中实际电阻状态的传感故障。IRF包括IRF0和IRF1，分别记为和。沿着读取电流路径的电阻打开可能导致读取电流的降低。这将导致在P状态有上述缺陷的内存单元上进行的读操作返回一个错误的逻辑值“1”()[8]。此外，使SL和存储单元内部节点短路的电阻桥可以拉升读取电流，因此当寻址单元是AP状态时，导致IRF1 ()。

2.1.5 Write Disturb Coupling Fault (CFwd)

这类故障是一种耦合故障，一般而言，当在一个内存单元（攻击者）进行写操作时，会影响到另一个相关的内存单元（受害者）中的逻辑数值变化。通常，将这一类的故障表示为或者。实际上，也就是这类在攻击者上进行写操作的行为，会将受害者的内存单元值由0改写为1或者由1改写为0。

2.2 瞬态故障

上一小节已经讨论了在生产过程中所产生的永久性故障模型，其类型和大多数传统的内存故障模型是相同的。但是STT-MRAM作为一种新出现的非易失性存储技术，其也拥有很多新的物理特性，从而导致了一些特定的故障。在本小节中，我们将主要介绍一些STT-MRAM中所存在的瞬态故障，其在某些周期中会影响到电路的正确性，从而影响到STT-MRAM工作的可靠性。

2.1.5 Transient Write Fault (TWF)

由于STT开关行为的随机特性，在FL中实际开始磁化之前的潜伏期随事件的不同而不同。然而，在实际中，写操作的电流脉冲宽度一般是固定的，比STT-MRAM电路设计的平均开关时间有一定的裕度。当STT开关中的延迟超过所给定的写操作电流脉冲延时的时候，可能会造成写故障。这类故障可以表示为和。

TWF与之前的TF的主要区别在于前者本质上是不可预测的和暂时的，而后者是确定的和永久的。具体来说，TWF可能发生在所有的STT-MRAM的内存单元，包括那些没有缺陷的细胞，概率非常小。它可以通过紧随一个错误之后的下一个写操作进行自我修复。然而，TF发生在前面提到的有一些缺陷或极端进程变化的单元上，并且在转换写操作之后，它总是在这些单元中留下一个错误的状态。要解决这样的TWF故障，需要大的写裕度(即长脉冲覆盖开关时间的宽分布)来保证所有单元和周期的高开关概率。然而，大的写裕度会造成写性能的降低和功耗的提升，所以在实际过程中往往是难以实现的。因此，TWF对STT-MRAM设计的可靠性构成了越来越大的威胁。

2.1.5 Transient Read Distrub Fault (TRDF)

由于热波动，在读取操作过程中，尽管读取电流远小于临界开关电流，电池的状态可能会意外翻转[24,25]。这种故障和上面所提到的RDF故障是相似的，同样也只有TRDF1故障存在于STT-MRAM中（由于读操作的单向性）。 但显然，TRDF 和 RDF的产生原因是不同的，具体表现也有所差别。 首先，TRDF故障随机地发生在所有的内存单元中，并非是特定的由于工艺缺陷所导致的单元中。TRDF1本质上是由热波动引起的，由于焦耳加热，将读取电流施加到MTJ器件上，从而增强了热波动，导致了读取中可能产生的扰动。 并且，TRDF故障是的发生不可复制的，这意味着大多数读1操作成功而没有对访问的细胞造成任何破坏，而其中非常小的一部分最终将细胞从0状态翻转到1状态。在表1中，我们从多个方面比较了RDF 和 TRDF这两种不同的故障。

2.1.5 Retention Fault (RTF)

这一类的故障表示，一个内存单元在一段时间后，失去了其所存储的值。其中包括了RTF0 和 RTF1两种不同的类型，其分别可以被表示为 和 。 对于STT-MRAM存储，在[14,15]中，给出了具体的方程来描述一个粗略的可保存时间。与电容上的电荷量逐渐减少的dram中的保持故障不同，STT-MRAMs中的保持故障在热噪声存在的情况下立即发生(一个随机过程)[16]。因此，STT- MRAMs中每个细胞的保留时间本质上并不是固定的和可预测的。相反，它会根据热扰动的强度动态波动。

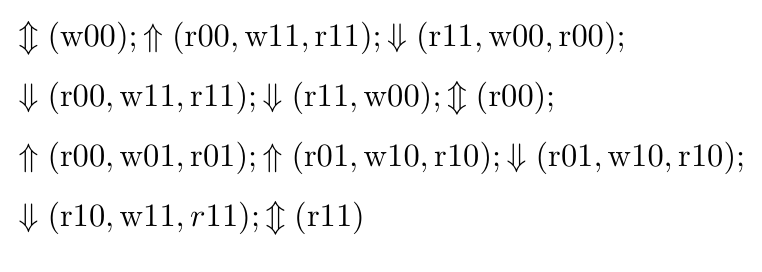
**第3章 测试算法**

在本节中，我们将首先讨论文献中提出的March测试算法。这些March测试可以保证检测某些比较典型的故障模型，如SAF和TF。然后，我们将介绍和比较三种专门用于测试STT-MRAMs的保留时间的测试算法。

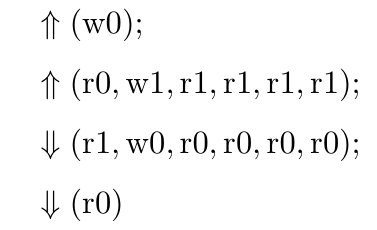
* 1. March 测试

March测试由于其线性复杂性、规律性和对称性，常被用于检测传统的记忆故障，如SAF、TF等[17]。一个March测试由一个有限序列的March元素组成，每个March元素由一系列读和/或写操作组成，这些操作在进入下一个存储单元之前应用于每个存储单元。在文献中，有很多论文是关于用March测试来对STT-MRAMs进行测试的。

Chin等人在[18,19]中提出了一种切换MRAMs中称为写干扰故障(Write Disturb Fault, WDF)的故障模型，在该模型中，写操作中产生的用于切换寻址位元(攻击者)状态的磁场可能会无意中逆转存储在相邻单元(受害者)中的数据。并且，他们提出了相应的March C- 和 March 17N 测试算法来检测对应的SAF, TF, CF, AF 和 WDF故障。在STT-MRAMs中，WDF产生的原因与传统的切换式MRAMs完全不同。STT - MRAM中的WDF不是由开关磁阻存储器中载流导线写入磁场引起的，而是由诸如接入晶体管卡在on或单元间电阻桥等缺陷引起的。为了检测这样的故障，包括传统的SAF和TF的故障，Yoon等人提出了一个word-oriented March 测试算法[20]，具体表示为如下：



在ITC2018中，Nair等人基于他们的电路模拟报告了动态错误读取故障(dIRF)。dIRF是一种错误的读故障，由于SL和1T-1MTJ 内存单元的内部节点之间的电阻桥缺陷，导致至少两次连续的读操作。为了检测这种故障，他们提出了如下的March 测试算法：



* 1. STT-MRAMs 中的保持时间测试

在第2章中，我们介绍了STT-MRAMs中的RTF故障。然而，在不同的应用中，对于STT-MRAMs中内存单元的保持时间的要求从几秒到上十年不等。然而短期内，STT-MRAMs主要考虑被用以替换传统的LLC中的存储设备，而LLC数据的回复只需要1s以下的时间就可满足[20]，这使得我们可以用牺牲一定的STT-MRAMs的保留时间来换取更好的写性能。

论不同应用对STT-MRAMs保留时间的要求不同，测试STT-MRAMs的保留时间是非常重要的。然而，表征STT-MRAM保持时间非常具有挑战性，因为保持故障本质上是一种瞬态随机故障，它取决于温度、工艺变化、磁扰和干扰电流。因此，3月测试不适合对其进行测试，传统的DRAM保留测试也不能直接应用于STT-MRAMs。下面本文将介绍三种不同的测试方法，并对其进行比较。

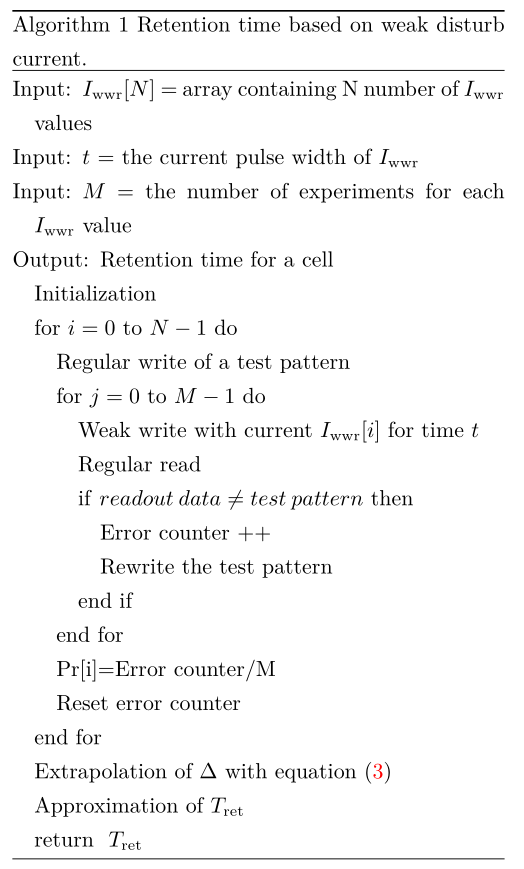
* + 1. 基于弱干扰电流的统计方法

Intel提出了一种通过施加微弱的干扰电流来测试STT-MRAM内存单元保持时间的算法[16]。利用如下公式对长弱写电流热激活状态下的开关概率：

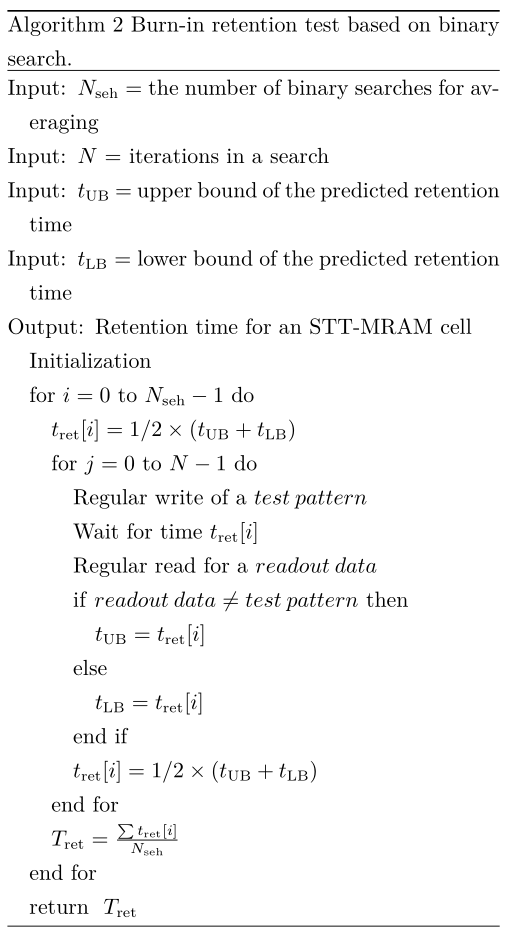
其中，为表征实际磁化可被认为是静止的时间尺度的尝试时间(~ 1 ns)，而为平均开关时间。和分别是施加电流的幅值和持续时间。为关键开关电流。在这里对其进行进一步的推导：

利用泰勒展开，进行变化，得到如下的结果：

上述公式将扰动概率和热稳定性联系起来，从而能够实现在实验状态下对于热稳定性值的测量。 其中，算法1完整的描述了整体的测试流程。



* + 1. Burn-in 方法

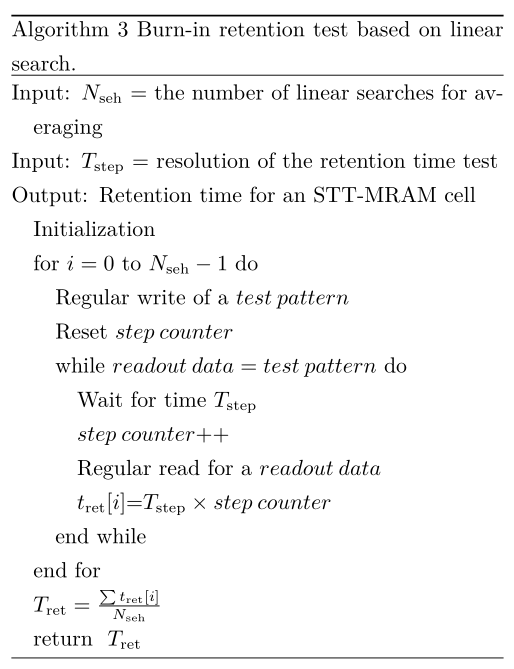


为了减少STT- MRAMs中测试保留时间的高昂代价，使用Burn-in测试技术来压缩保留时间是一种有效的方法。由于MTJ装置的热稳定性明显依赖于温度、磁场、干扰电流等环境条件，因此通过改变这些条件来压缩值是可行的。

通过分析STT-MRAMs的机制[21,22]，我们可以得到如下的公示来描述热稳定性：

其中是玻尔兹曼常数，而表示了温度。 根据公式可知，温度的升高导致了值的降低。 基于此，FL. Ghosh 等人[23]提出了两个算法来测量STT-MRAM内存单元的保持时间。

第一个算法被称为二分搜索保持时间测试算法，其具体流程如算法2所示。该算法描述了测试单个比特单元的保留时间()的过程。首先，根据对被测STT-MRAM阵列热稳定性的预测选择保留时间的下界搜索时间()和上界搜索时间()。然后，测试数据模式被写入测试的第一个内存单元，其中固定的等待时间，等于和的平均值。在等待时间之后，将读出该单元格中的数据，并与原始测试模式进行比较。如果它们相同，意味着没有发生保留故障，则值将用等待时间更新。如果没有，则使用更新。随着这个过程的迭代，值逐渐接近被测内存单元的实际保留时间。



第二种算法以线性方式搜索保留时间，见算法3。该算法通过给出每次搜索的时间步长()和搜索次数()来确定搜索分辨率和测试精度。测试从将给定的测试数据模式定期写入测试单元开始。然后用时间步长周期性地读取数据，将其与原始数据模式进行比较。显然，小的时间步长会导致较高的测试精度，但代价是更多的读取操作。

3.2.3 算法之间的比较

如前文所述，算法1中基于注入弱干扰电流的统计方法非常耗时，原因是室温下的滞留故障发生率很低。如果压缩率非常高，压缩保持时间在ms或ms以下，则算法2和算法3可以优于算法1。这对于将STT-MRAMs用作LLC在实际过程中是可行的。然而，对于需要10年以上保留时间的SCM应用程序，用线性搜索或二分搜索来压缩和测试保留时间是没有用的。因此，以一种经济有效的方式测试STT-MRAMs的保留时间在各种应用中仍有探索的空间。

**第4章 可测性设计**

如前所述，像SAF，TF之类的永久性故障模型可以通过March 测试来进行检测。但是，March 测试无法保证能够检测到STT-MRAMs中的瞬态故障。因此，这类故障需要用可测性设计（design-for-testability, DFT）来进行检测。在本节中，我们将讨论两种针对于TRDF和RTF电路故障的设计。

4.1 对于TRDF 故障的可测性设计

正如我们之前讨论的那样，STT-MRAMs中的瞬态读干扰故障(TRDF)是一种瞬态故障，正日益成为对STT-MRAMs可靠性的威胁。因此，开发用于检测TRDF的DFT设计受到了广泛的关注。在[24,25]中分别提出了两种类似的电路级DfT技术来检测TRDF。两者都基于一个关键的观察:TRDF改变了受害内存单元的MTJ电阻，进而影响读操作时的电流幅值。

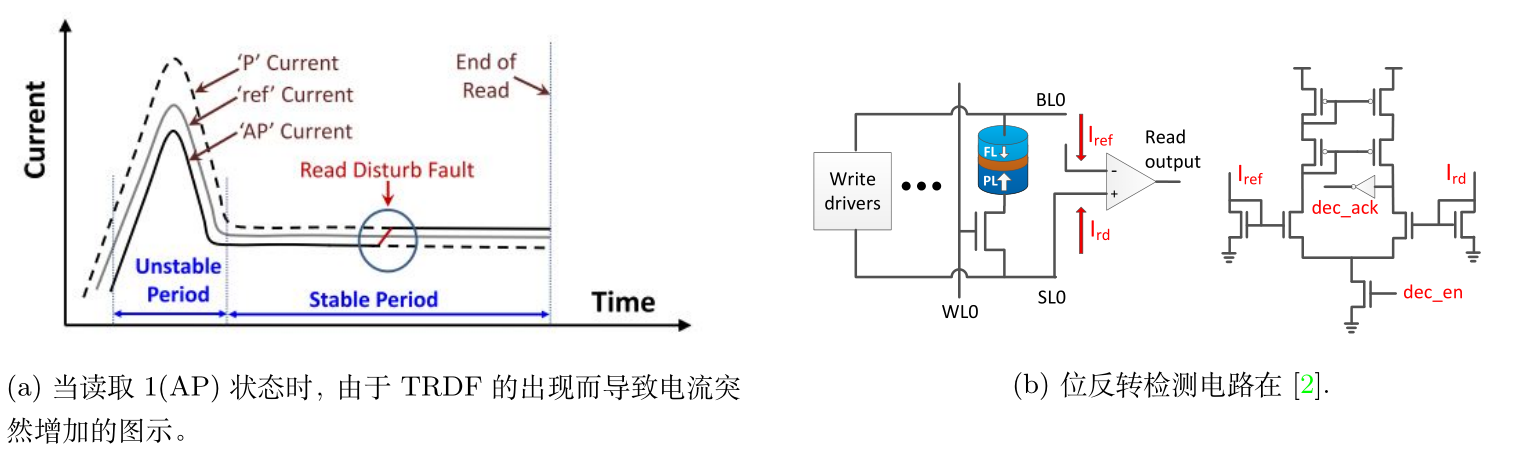


图3：TRDF 故障检测设计图示：(a) 原理， (b) 电路设计

如图3a所示，当读1(AP)操作中发生TRDF时，读电流从以下突然上升到以上。灰色实线表示读取操作时通过参考单元的电流，灰色实线下方和上方的虚线分别表示AP状态和P状态下通过无故障单元的电流。黑线表示在TRDF(用蓝色圆圈标记)发生的读取操作中，实际电流随时间的变化。通过如上的观察，可以将一个专用电路集成到感测放大器中来跟踪读取操作中的电流变化。在图3b中，给出了针对于TRDF故障检测的电路。当读取1(AP)状态时，信号才被使能。在这种情况下，使用两个电流反射镜来复制电流和电流从检测放大器的输入端流过参考的内存单元。 只要小于，干扰应答信号解码器保持“0”状态。通过这样的方式，可以有效检测STT-MRAMs中的TRDF故障。

4.2 对于RTF故障的可测性设计

为了更有效地测试STT-MRAM细胞的保留时间，Yoon等人改进了算法1并实现了内存内置自检(MBIST)[20,26]。如前所述，算法1有许多局限性，包括:1)在小电流下，保持试验必须在开关概率非常小的工作区域进行;2)施加弱写电流后，由于开关概率小，大多数读操作都是不必要的;3)测试时间禁止，随着值和阵列尺寸的增加而增加。为了克服这些限制，mist实现利用了前面TRDF检测背后的原理，以避免在不发生保留错误时进行不必要的读操作。此外，在一次测试迭代中，将弱写电流同时应用于多行而不是算法1中的单行，大大提高了测试速度。

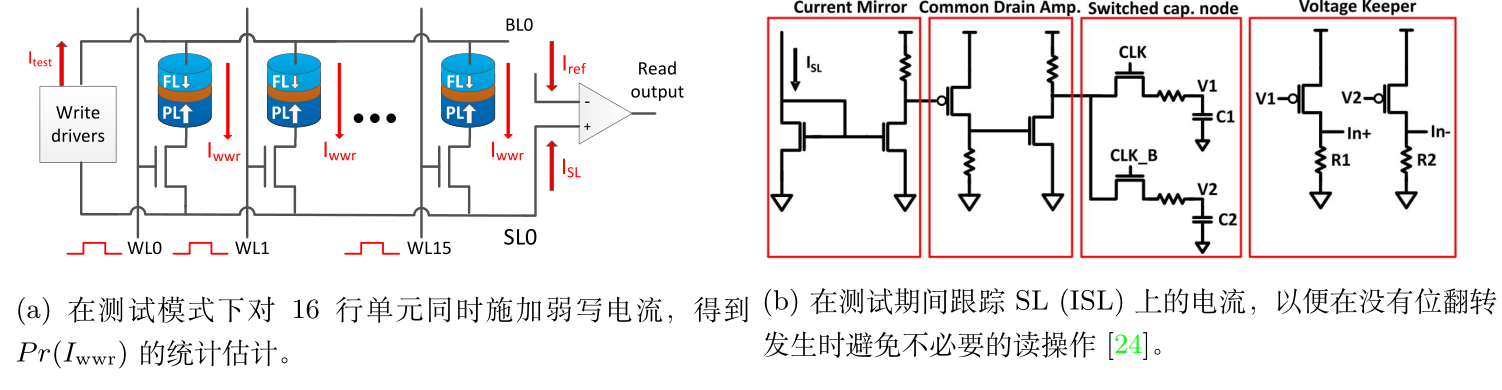


图4： 保持测试实现：(a) 实现干扰概率的测量， (b) 位翻转检测电路。

保留测试过程从将预定义的数据模式写入测试单元开始。由于两个如下考虑因素，将数据模式设置为1。第一，小电流扰动是单向的(即从AP状态到P状态)。其次，由于相邻单元间的磁耦合，当单元处于AP状态时，热稳定性最低。因此，如图4a所示， 可以同时对16行施加弱电流()。 通过使用专用位翻转检测跟踪电路中SL上的变化，当16个内存单元中任意一个单元从AP状态翻转到P状态时，轻微增加，可以立即检测到位翻转（如图4b所示）。的轻微增加首先被电流镜放大并转移表现为电压差，电压差进一步被多级共漏极放大器放大。然后，开关电容器和根据和信号交替采样电压。在这一链的末端，使用电压保持器来确保和节点之间的电压差总是高于10mV，以避免亚稳态。当检测放大器启用时，和节点之间的电压差完全放大到和。

采用该方案进行测试，根据[20]的实验结果显示，与基于算法1常规测试方案相比，该方案在测试时间上提高了93.75\%。

**第5章 总结与展望**

STT-MRAM作为最具发展前景的NVM技术之一，与其它存储设备相比，提供有竞争力的写性能，耐久性和数据保留。这三个方面的特性也使得它可以用于各种应用程序，如最后一级缓存、物联网和汽车。因此，STT- MRAM获得了包括英特尔和三星在内的主要半导体公司的大量投资，这些公司近年来已经证明了其可制造性。然而，在其大规模生产之前，对于故障模型和故障测试仍然存在着一些挑战。

在本文中，我们系统性的研究了STT-MRAM中的故障模型，包括一些常见的故障模型和针对于STT-MRAM特定的故障模型；并分析了现有的测试算法和可测性设计框架。其中，在STT-MRAMs中，作为数据存储元件的MTJ器件的缺陷是值得特别注意的。在实际中，精确的故障模型需要精确的缺陷模型和系统的故障分析方法。而现有的文献中提出的测试算法和可测性设计非常有限，其有效性仍很难界定。为了检测永久性故障，排除暂态故障，需要进行有效且经济的March测试。同时，在可测性设计中，对于STT-MRAMs中特定的物理缺陷，如磁性和热老化也需要考虑，以检测微弱的故障。 通过上述总结可以看到，STT-MRAMs的测试仍然是一个悬而未决的问题。因此，需要有更多的研究工作来讨论和解决这些挑战。

**参考文献**

[1] Chen A. A review of emerging non-volatile memory (NVM) technologies and applications[J]. Solid-State Electronics, 2016, 125: 25-38.

[2] Xue C J, Zhang Y, Chen Y, et al. Emerging non-volatile memories: Opportunities and challenges[C]//Proceedings of the seventh IEEE/ACM/IFIP international conference on Hardware/software codesign and system synthesis. 2011: 325-334.

[3] Jog A, Mishra A K, Xu C, et al. Cache revive: Architecting volatile STT-RAM caches for enhanced performance in CMPs[C]//DAC Design Automation Conference 2012. IEEE, 2012: 243-252.

[4] Driskill-Smith A. Latest advances and future prospects of STT-RAM[C]//Non-Volatile Memories Workshop. 2010: 11-13.

[5] Kan J J, Park C, Ching C, et al. Systematic validation of 2x nm diameter perpendicular MTJ arrays and MgO barrier for sub-10 nm embedded STT-MRAM with practically unlimited endurance[C]//2016 IEEE International Electron Devices Meeting (IEDM). IEEE, 2016: 27.4. 1-27.4. 4.

[6] Golonzka O, Alzate J G, Arslan U, et al. MRAM as embedded non-volatile memory solution for 22FFL FinFET technology[C]//2018 IEEE International Electron Devices Meeting (IEDM). IEEE, 2018: 18.1. 1-18.1. 4.

[7] Song Y J, Lee J H, Han S H, et al. Demonstration of highly manufacturable STT-MRAM embedded in 28nm logic[C]//2018 IEEE International Electron Devices Meeting (IEDM). IEEE, 2018: 18.2. 1-18.2. 4.

[8] Chintaluri A, Naeimi H, Natarajan S, et al. Analysis of defects and variations in embedded spin transfer torque (STT) MRAM arrays[J]. IEEE Journal on Emerging and Selected Topics in Circuits and Systems, 2016, 6(3): 319-329.

[9] Kang W, Zhang L, Zhao W, et al. Yield and reliability improvement techniques for emerging nonvolatile STT-MRAM[J]. IEEE Journal on Emerging and Selected Topics in Circuits and Systems, 2014, 5(1): 28-39.

[10] Zhao W, Zhao X, Zhang B, et al. Failure analysis in magnetic tunnel junction nanopillar with interfacial perpendicular magnetic anisotropy[J]. Materials, 2016, 9(1): 41.

[11] Augustine C, Raychowdhury A, Somasekhar D, et al. Design space exploration of typical STT MTJ stacks in memory arrays in the presence of variability and disturbances[J]. IEEE transactions on electron devices, 2011, 58(12): 4333-4343.

[12] Raychowdhury A, Somasekhar D, Karnik T, et al. Design space and scalability exploration of 1T-1STT MTJ memory arrays in the presence of variability and disturbances[C]//2009 IEEE International Electron Devices Meeting (IEDM). IEEE, 2009: 1-4.

[13] Fong X, Kim Y, Choday S H, et al. Failure mitigation techniques for 1T-1MTJ spin-transfer torque MRAM bit-cells[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2013, 22(2): 384-395.

[14] Fong X, Kim Y, Venkatesan R, et al. Spin-transfer torque memories: Devices, circuits, and systems[J]. Proceedings of the IEEE, 2016, 104(7): 1449-1488.

[15] Khvalkovskiy A V, Apalkov D, Watts S, et al. Basic principles of STT-MRAM cell operation in memory arrays[J]. Journal of Physics D: Applied Physics, 2013, 46(7): 074001.

[16] Naeimi H, Augustine C, Raychowdhury A, et al. STTRAM SCALING AND RETENTION FAILURE[J]. Intel Technology Journal, 2013, 17(1).

[17] Bushnell M, Agrawal V. Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits[M]. Springer Science & Business Media, 2004.

[18] Su C L, Huang R F, Wu C W, et al. MRAM defect analysis and fault modeling[C]//2004 International Conferce on Test. IEEE, 2004: 124-133.

[19] Su C L, Tsai C, Wu C, et al. Testing MRAM for write disturbance fault[C]//2006 IEEE International Test Conference. IEEE, 2006: 1-9.

[20] Yoon I, Chintaluri A, Raychowdhury A. EMACS: Efficient MBIST architecture for test and characterization of STT-MRAM arrays[C]//2016 IEEE International Test Conference (ITC). IEEE, 2016: 1-10.

[21] Khvalkovskiy A V, Apalkov D, Watts S, et al. Basic principles of STT-MRAM cell operation in memory arrays[J]. Journal of Physics D: Applied Physics, 2013, 46(7): 074001.

[22] Heindl R, Rippard W H, Russek S E, et al. Validity of the thermal activation model for spin-transfer torque switching in magnetic tunnel junctions[J]. Journal of Applied Physics, 2011, 109(7): 073910.

[23] Iyengar A, Ghosh S, Srinivasan S. Retention testing methodology for STTRAM[J]. IEEE Design & Test, 2016, 33(5): 7-15.

[24] Bishnoi R, Ebrahimi M, Oboril F, et al. Read disturb fault detection in STT-MRAM[C]//2014 International Test Conference. IEEE, 2014: 1-7.

[25] Ran Y, Kang W, Zhang Y, et al. Read disturbance issue and design techniques for nanoscale STT-MRAM[J]. Journal of Systems Architecture, 2016, 71: 2-11.

[26] Yoon I, Raychowdhury A. Test challenges in embedded STT-MRAM arrays[C]//2017 18th International Symposium on Quality Electronic Design (ISQED). IEEE, 2017: 35-38.